



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N.RM2002 A 000493



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Inoltre verbale di Scioglimento Riserve depositato alla Camera di Commercio di Roma n. RMR0930
04/11/2002 (pag. 1) e disegni definitivi (pagg. 3).

CERTIFIED COPY OF
PRIORITY DOCUMENT

13 AGO. 2003

IL DIRIGENTE

Sig.ra E. MARINELLI

BEST AVAILABLE COPY

I0099842-SP

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO MODULO A
UFFICIO ITALIANO BREVETTI E MARCHI - ROMA
DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l.
Residenza AGRATE BRIANZA (Milano) codice 00951900968
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome MAGGIONI Claudio ed altri cod. fiscale _____
denominazione studio di appartenenza JACOBACCI & PARTNERS S.p.A.
via delle Quattro Fontane n. 15 città ROMA cap 00184 (prov) RM

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____

gruppo/sottogruppo _____

Memoria CAM non volatile di tipo AND.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA _____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) DE SANDRE Guido 3) _____
2) _____ 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

SCIoglimento RISERVE

Data

N° Protocollo

1) _____
2) _____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

Seguirà lettera d'incarico.



DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1 2 PROV n. pag. 30 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2 2 PROV n. tav. 03 disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3 1 RS dichiarazione sostitutiva
Doc. 4 1 RS designazione inventore
Doc. 5 1 RS documenti di priorità con traduzione in italiano
Doc. 6 1 RS autorizzazione o atto di cessione
Doc. 7 1 RS nominativo completo del richiedente
duecentonovantuno/80 obbligatorio

8) attestati di versamento, totale DuroCOMPILATO IL 02 10 2002 FIRMA DEL (I) RICHIEDENTE (I) Dr. Claudio MAGGIONICONTINUA SINO NO (in proprio o per gli altri)DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO SICamera di Commercio Industria Artigianato e Agricoltura Roma codice 58VERBALE DI DEPOSITO NUMERO DI DOMANDA RM 2002 A 000493L'anno DUEMILADUE il giorno DUE del mese di OTTOBRE

il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, autografa e siglata, _____ fogli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE _____

IL DEPOSITANTE

timbro

L'UFFICIO ROGANTE
E' Ufficiale Rogante
Antonio Salerno

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA

RM 2002 A 000493

DATA DI DEPOSITO

2 OTT 2002

NUMERO BREVETTO

DATA DI RILASCIO

A. RICHIEDENTE (1)

Denominazione

STMicroelectronics S.r.l.

Residenza

Agrate Brianza (Milano)

B. TITOLO

Memoria CAM non volatile di tipo AND.

Classe proposta (sez./cl./scf/)

(gruppo/sottogruppo)

L. RIASSUNTO

Memoria CAM non volatile comprendente una molteplicità di celle di memoria ordinate in una matrice per righe e per colonne, una linea di parola (WL) associata ad ogni riga di celle e una prima (BLR) e una seconda (BLL) linea di bit associate ad ogni colonna di celle. Ogni cella comprende un primo elemento di memoria non volatile (F1) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla prima linea di bit (BLR) associata alla colonna contenente la cella e un secondo terminale collegato ad un nodo di coincidenza (MG) della cella e un secondo elemento di memoria non volatile (F2) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla seconda linea di bit (BLL) associata alla colonna contenente la cella e un secondo terminale collegato al nodo di coincidenza (MG) della cella.

Per rendere più rapida la ricerca di un dato nella memoria e più semplice la struttura circuitale della memoria, ad ogni riga di celle sono associate una linea di controllo di massa (GNDCTRL), una linea di massa (GL) e una linea di controllo di coincidenza (MLCTRL). Inoltre, ad ogni riga di celle sono associati un terminale di attivazione della ricerca (SF) ed un terminale di rivelazione di coincidenza (MPin). Ogni cella comprende un terminale d'ingresso (MLIN), un terminale d'uscita (MLOUT), un primo interruttore elettronico comandato (M0) collegato tra il terminale d'ingresso (MLIN) e il terminale d'uscita (MLOUT) della cella e avente un terminale di comando collegato al nodo di coincidenza (MG) della cella, un secondo interruttore elettronico comandato (M1) collegato tra la linea di massa (GL) associata alla riga contenente la cella e il terminale d'uscita (MLOUT) della cella e avente un terminale di comando collegato alla linea di controllo di coincidenza (MLCTRL) associata alla riga contenente la cella e un terzo interruttore elettronico comandato (M2) collegato tra il nodo di coincidenza (MG) della cella e la linea di massa (GL) associata alla riga contenente la cella e avente un terminale di comando collegato alla linea di controllo di massa (GNDCTRL) associata alla riga contenente la cella.

(figura 4)

M. DISEGNO

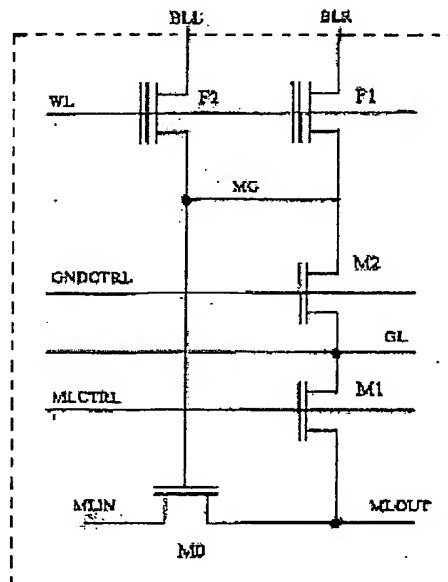


FIG.4

"Memoria CAM non volatile di tipo AND"**DESCRIZIONE**

La presente invenzione si riferisce alle memorie a semiconduttore ed in particolare ad una memoria di tipo CAM, cioè indirizzabile attraverso il contenuto, di tipo non volatile, come descritto nel preambolo della rivendicazione 1.

Le memorie a semiconduttore, come noto, sono costituite da un gran numero di celle ordinate in righe e in colonne a formare una matrice di celle. Ciascuna cella contiene una informazione binaria elementare (bit) e ad ogni riga della matrice corrisponde una parola binaria la cui lunghezza dipende dal numero di colonne.

Attualmente le memorie più diffuse sono le RAM statiche o dinamiche in cui è possibile accedere alla parola memorizzata in una riga della matrice semplicemente fornendone l'indirizzo. Nel caso di una matrice di celle CAM, invece, una parola binaria immagazzinata in una riga può essere ricercata inserendo la parola da cercare in un registro di comparazione associato alla matrice e confrontando il contenuto del registro col contenuto di ciascuna riga. L'esito della ricerca è disponibile attraverso l'osservazione della tensione su una linea di coincidenza (match line) comune a tutte le celle di una riga. Ovviamente, in una matrice

Dr. Claudio MAGGIONIN. iscriz. ALEO 113
(in proprio e per gli altri)

di celle tale operazione viene eseguita simultaneamente per tutte le parole binarie su ciascuna riga. In altri termini, una memoria CAM viene indirizzata mediante un confronto col suo stesso contenuto piuttosto che mediante uno specifico indirizzo.

Esistono sia celle CAM volatili che celle CAM non volatili. Le celle CAM volatili, inizialmente, sono state costruite a partire da celle RAM statiche (SRAM), aggiungendo semplicemente dei transistori in modo da realizzare una uscita collegata ad una linea di coincidenza. Di recente sono state utilizzate come celle base anche le celle RAM dinamiche (DRAM) per ottenere dei vantaggi in termini di area e di costo.

Le celle CAM realizzate sia con SRAM che con DRAM sono relativamente veloci, ma il loro contenuto binario va perduto quando si toglie l'alimentazione. Esse richiedono di essere riscritte, ad ogni accensione, utilizzando un'unità separata di memoria non volatile, come un disco rigido (hard disk). Nelle CAM di tipo non volatile, al contrario, i dati rimangono immagazzinati anche quando viene tolta l'alimentazione ed inoltre ogni cella richiede un numero inferiore di transistori, pertanto minore area di silicio, rispetto alle celle realizzate con SRAM e DRAM.

Una cella di memoria CAM non volatile 210 nota, come

Dr. Claudio MAGGIONI
M. 12012 ALCO 113
(in proprio e per gli altri)

è descritto ad esempio nel brevetto US 6317349 B1 e come è rappresentato nella figura 1 dei disegni allegati comprende due transistori 211,212 di tipo floating-gate che hanno i terminali di gate connessi ad una stessa linea di parola (WL) 220, i terminali di source connessi insieme ad una linea di coincidenza (ML) 230 e i terminali di drain collegati ciascuno ad una delle linee di bit (BL, \overline{BL}) 241,242. In generale, al posto dei due transistori ci potrebbero essere due qualunque elementi di memoria non volatile. Una molteplicità di celle uguali alla cella 210 della figura 1, ordinate in righe e colonne, forma una matrice di memoria CAM, schematizzata nella figura 2, in cui ciascuna riga di celle comprende una coppia di linee elettriche, rispettivamente linea di parola 220 e linea di coincidenza 230, e ciascuna colonna comprende due linee di bit indicate con 241,242.

Come si può notare, tutte le linee di parola 220 fanno capo ad un blocco esterno di controllo di riga 360, le linee di coincidenza 230 sono connesse ad una estremità allo stesso blocco 360, mentre all'altra terminano in amplificatori di rivelazione 380 (sense amplifier). Circuiti pilota 371 e 372 sono accoppiati, rispettivamente, con le linee di bit 241 e 242 per polarizzarle durante le operazioni di ricerca, scrittura e cancellazione. Tutte le linee di bit della matrice

Dr. Claudio MAGGIONI
N. INVEZ. ALBO 113
(In proprio e per gli altri)



fanno capo ad un blocco 370 che ha la funzione di registro e di circuito di controllo della ricerca. Il blocco 370 può contenere una parola da confrontare che viene applicata su un suo terminale d'ingresso indicato con DATA IN. Il blocco di controllo di riga 360 applica adeguate tensioni sulle linee di parola e sulle linee di coincidenza durante le operazioni di ricerca, scrittura e cancellazione selezionando una riga della matrice di celle in base ad un segnale d'ingresso ADRIN. Gli amplificatori di rivelazione 380 avvertono una variazione di tensione sulle rispettive linee di coincidenza 230 quando la parola d'ingresso, contenuta nel blocco 370, non coincide con quella memorizzata nella corrispondente riga della matrice.

E' possibile modificare la tensione di soglia dei transistori 211,212, facendo variare la carica elettrica delle rispettive floating-gate, agendo sui loro terminali elettrici. La tensione di soglia è "bassa", cioè quella determinata dai parametri tecnologici e di progetto, quando non vengono accumulati elettroni nelle floating-gate e "alta" quando ciò si verifica. La tensione di soglia alta viene fissata ad un valore superiore alla tensione di alimentazione V_{CC} dei circuiti della memoria (es. $V_{CC}=5V$), mentre quella bassa in genere non è superiore ad 1 volt. Convenzionalmente, se si pone alta

Dr. CLAUDIO NACCIONI
N. 1033 - ALBO 113
(In proprio e per gli altri)

la soglia del transistor 211 e bassa la soglia del transistor 212 l'informazione elementare immagazzinata nella cella 210 è un 1 logico. Fissando le soglie in maniera opposta si memorizza uno 0 logico. E' anche possibile memorizzare un terzo stato X, detto stato indifferente (don't care), programmando le soglie di entrambi gli elementi non volatili ad un valore elevato ($>V_{CC}$). Le memorie associative che possono memorizzare questi tre stati, invece dei soli due stati logici fondamentali, sono chiamate memorie ternarie. Esse sono particolarmente vantaggiose in alcune applicazioni.

Prima della programmazione, il contenuto informativo della cella viene cancellato applicando una tensione sufficientemente negativa sulla linea di parola 220 (es. da -8V a -10V) e positiva sulla linea di coincidenza 230 (es. da 5V a 7V). La combinazione di tali tensioni sui terminali di gate e source dei transistori 211, 212 causa un effetto tunnel capace di rimuovere elettroni dalla floating-gate del transistor avente soglia alta portandolo, di conseguenza, alla tensione di soglia bassa. Tale operazione ha effetto (di minore entità) anche su un transistor avente già la soglia bassa. Occorrono perciò algoritmi opportuni per riprogrammare le celle le cui soglie si sono abbassate troppo e ottenere quindi un valore finale ben controllato. Il valore di

Dr. Claudio MAGGIONI
N. 22712, ALBO 113
(In proprio e per gli altri)

tensione sulle linee di bit 241,242 non influisce sulla cancellazione.

L'operazione di scrittura di una cella CAM 210 si realizza ponendo a tensione elevata la linea di parola 220 (es. 8V) e fissando la linea di coincidenza 230 alla tensione di massa. Per memorizzare un 1 logico occorre aumentare la soglia del transistor 211 e lasciare bassa la soglia del transistor 212, perciò si applica una tensione intermedia (es. 5V) alla linea di bit 241 lasciando l'altra linea di bit 242 non connessa. Per memorizzare uno 0 logico si agisce in maniera contraria sulle linee di bit per aumentare la soglia del transistor 212. Per memorizzare lo stato indifferente X si applica la tensione intermedia a entrambe le linee di bit 241 e 242.

L'operazione di ricerca nella cella 210 si realizza applicando alla linea di parola 220 la tensione di alimentazione V_{CC} , precaricando la linea di coincidenza 230 alla tensione V_{CC} ed applicando opportune tensioni sulle linee di bit 241,242. In particolare, se il dato memorizzato è un 1 logico (soglia di 211 alta e di 212 bassa) e si ricerca lo stesso bit nella cella, la linea di bit 241 viene connessa a massa mentre la linea di bit 242 è connessa alla tensione V_{CC} . In tal caso, nessuno dei due transistori 211,212 conduce e pertanto la

Dr. Claudio MAGGIONI

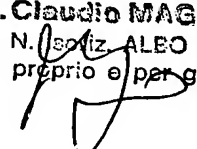
Prof. ALBO 113
(In proprio e per gli altri)

tensione sulla linea di coincidenza 230 non cambia a conferma della corrispondenza tra bit immagazzinato e bit ricercato. Nel caso in cui si ricerca uno 0 logico è necessario polarizzare le linee di bit in maniera opposta al caso precedente e questa volta il transistor 212, che ha soglia bassa, conduce e tende a portare a massa la tensione della linea di coincidenza 230. Nel caso lo stato memorizzato sia X, nessuno dei due transistori 211 o 212 può condurre e perciò si ha sempre coincidenza tra bit cercato e bit memorizzato.

Le operazioni descritte vengono eseguite contemporaneamente in tutte le celle di ciascuna riga della matrice. Quando la parola contenuta nel blocco 370 viene trovata in una riga della matrice, la tensione sulla linea di coincidenza corrispondente a tale riga non varia e l'amplificatore di rivelazione 380, collegato alla stessa linea di coincidenza, fornisce un segnale ad un blocco codificatore di priorità 385 che genera un segnale d'uscita ADROUT che identifica la posizione nella matrice della parola che corrisponde alla parola cercata. Viceversa, se le due parole differiscono anche per un solo bit l'amplificatore 380 rivela la variazione di tensione sulla linea di coincidenza e nessun segnale d'uscita viene generato.

Nella matrice di memoria descritta è necessario

Dr. Claudio MAGGIONI
N. 13012 ALEO 113
(In proprio e per gli altri)





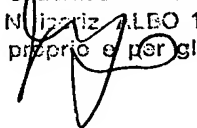
controllare accuratamente la soglia bassa dei transistori 211,212 in modo che sia sempre al di sopra di 0,5V. A tal proposito, si consideri una cella della matrice in cui è memorizzato un bit (cioè uno dei transistori 211,212 ha soglia bassa). Se tale cella appartiene ad una riga in cui non c'è coincidenza quando si esegue l'operazione di ricerca come descritto precedentemente, la tensione della corrispondente linea di coincidenza tende sempre a portarsi alla tensione di massa. Durante la ricerca, può accadere che i terminali di gate e drain di uno dei due transistori 211,212 avente soglia bassa, siano posti alla tensione V_{cc} e che la differenza di tensione tra il terminale di gate e quello di source (connesso alla linea di coincidenza) dello stesso transistor superi la sua tensione di soglia quando il potenziale della linea di coincidenza si muove verso la tensione di massa. In tal caso, il transistor in esame conduce una corrente parassita che carica la linea di coincidenza ed aumenta all'aumentare della tensione gate-source. Se più celle in una stessa riga conducono tali correnti parassite la tensione della linea di coincidenza non si scosta sufficientemente dal potenziale iniziale di precarica (per es. V_{cc}), per cui, nei casi limite, può risultare difficile rivelare una non coincidenza durante la ricerca. L'effetto delle correnti parassite si può

Dr. Claudio MAGGIONI
N. 1033 ALBO 13
(in proprio e per gli altri)

trascurare, ai fini della generazione del segnale sulla linea di coincidenza, solo se la tensione di soglia bassa dei transistori 211,212 è superiore a 0,5V. Ciò pone dei vincoli molto restrittivi all'algoritmo di cancellazione, che deve essere tanto più preciso quanto minore è la tensione applicata alla linea di parola. Ad esempio, una tensione sulla linea di parola di 1,8V implicherebbe il confinamento di tutte le soglie basse di tutte le celle tra 0,5V e 1V. Rimane comunque il problema della dissipazione di potenza dovuta alle correnti parassite. Il caso pessimo si realizza quando vi è una condizione di coincidenza per metà delle celle su una riga e di non coincidenza per l'altra metà. La linea di coincidenza scende ad un valore intermedio tra V_{CC} e massa e si crea un cammino resistivo tra i due potenziali.

Si consideri, inoltre, il caso sfavorevole, ma non inusuale, in cui, durante una ricerca, tutte le celle di una colonna della matrice non presentano coincidenza, mentre nelle altre celle della matrice c'è coincidenza; in questo caso, la corrente passante per una delle linee di bit associate a tale colonna deve scaricare le capacità associate a tutte le linee di coincidenza della matrice. Infatti, in ogni cella appartenente alla colonna in esame uno dei transistori 211 o 212, quando conduce, collega una delle linee di bit, che è al potenziale di

Dr. Claudio MAGGIONI
N. 12212 ALBO 113
(In proprio e per gli altri)



massa, alla linea di coincidenza della riga di cui fa parte la cella che si trova alla tensione V_{cc} . Le linee di coincidenza da scaricare costituiscono un carico capacitivo complessivo relativamente elevato (es. 100pF); pertanto, in questo caso particolare, la matrice descritta richiede un tempo relativamente molto lungo per eseguire l'operazione di ricerca.

Quando in una riga della matrice di celle descritta manca la coincidenza in una sola cella la scarica della tensione della linea di coincidenza associata a tale riga è più lenta rispetto al caso in cui la coincidenza manca in diverse celle. Per rendere più veloce l'operazione di ricerca e, contemporaneamente, per dissipare meno durante le commutazioni, l'escursione di tensione della linea di coincidenza viene ridotta facendo in modo che la tensione su tale linea non arrivi alla tensione di massa (a partire dalla tensione V_{cc}), ma arrivi ad un valore basso sempre superiore alla massa. Ciò si ottiene utilizzando adeguati circuiti di recupero della tensione, esterni alla matrice di memoria, che vengono collegati alla linea di coincidenza durante la ricerca. L'aggiunta dei circuiti di recupero, tuttavia, complica la struttura circuitale della memoria nota analizzata.

Lo scopo principale della presente invenzione è quello di risolvere i problemi della memoria CAM nota

Dr. Claudio MAGGIONI
N. Istriz. ALBO 113
(in proprio e per gli altri)

sopra descritta, in particolare di evitare le limitazioni imposte alla tensione di soglia bassa dei transistori al fine di semplificare l'algoritmo di cancellazione, di rendere più rapida l'operazione di ricerca e di rendere più semplice la struttura circuitale della memoria.

Tale scopo viene conseguito realizzando una memoria di tipo CAM non volatile, come quella definita e caratterizzata in generale nella rivendicazione 1.

L'invenzione sarà meglio compresa dalla seguente descrizione dettagliata di un esempio di realizzazione, dato a titolo indicativo e non limitativo, in riferimento ai disegni allegati, in cui:

- la figura 1 è uno schema circuitale di una cella CAM non volatile nota,
- la figura 2 è uno schema circuitale di una memoria CAM non volatile comprendente una matrice di celle come quella della figura 1,
- la figura 3 è uno schema circuitale di una memoria CAM non volatile secondo l'invenzione e
- la figura 4 è uno schema circuitale di una cella di una memoria CAM non volatile secondo l'invenzione.

Come si vede nella figura 3, la memoria secondo l'invenzione comprende una molteplicità di celle CELL ordinate in una matrice di m righe e n colonne. Ciascuna riga della matrice comprende quattro linee elettriche,

Dr. Claudio MAGGIONI
N. 1244. ALEO 113
(in proprio e per gli altri)



rispettivamente una linea di parola WL1-m, una linea di controllo di massa GNDCTRL1-m, una linea di massa GL1-m e una linea di controllo di coincidenza MLCTRL1-m, che sono connesse ad un blocco 10 con funzione di decodificatore di riga. Inoltre, la memoria comprende terminali di attivazione della ricerca (Search Feed) SF1-m, in ingresso a ciascuna riga di celle e connessi al blocco 10 e terminali di verifica di coincidenza MPin1-m, in uscita da ciascuna riga di celle e connessi ad amplificatori di rivelazione (non raffigurati). Ciascuna colonna comprende due linee, una linea di bit destra BLR1-n e una linea di bit sinistra BLL1-n, collegate ad un blocco 11 con funzione di decodificatore di colonna e ad un blocco 12 con funzione di controllo dell'operazione di ricerca. Tutte le celle su una stessa riga sono connesse alle quattro linee associate alla riga e tutte le celle su una stessa colonna sono connesse alle due linee associate alla colonna.

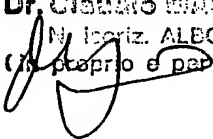
Come è mostrato nello schema circuitale della figura 4, ogni cella comprende cinque transistori: due transistori di tipo floating-gate F1 e F2 con funzione di elementi di memoria non volatile e tre transistori M0, M1 e M2 con funzione di interruttori elettronici. I due transistori F1 e F2 hanno i terminali di source collegati ad un terminale elettrico comune MG che sarà denominato

Dr. Claudio MAGGIONI
N. 1110-1110
(In proprio e per gli altri)

nel seguito nodo di coincidenza, i terminali di gate di controllo collegati insieme ad una linea di parola WL e i terminali di drain collegati, rispettivamente, ad una linea di bit destra BLR e ad una linea di bit sinistra BLL. Il transistor M0 di ciascuna cella ha il terminale di gate collegato al nodo di coincidenza MG ed il tratto source-drain connesso tra un terminale d'ingresso MLIN e un terminale d'uscita MLOUT della cella. Il transistor M1 ha il terminale di gate connesso ad una linea di controllo di coincidenza MLCTRL e il tratto source-drain connesso tra una linea di massa GL e il terminale d'uscita MLOUT. Il transistor M2 ha il terminale di gate connesso ad una linea di controllo di massa GNDCTRL e il tratto source-drain connesso tra il nodo di coincidenza MG e la linea di massa GL.

I transistori M0 appartenenti a celle di una stessa riga della matrice sono collegati in serie tra loro in modo che il terminale d'uscita (MLOUT) di ogni cella (esclusa l'ultima) è collegato al terminale d'ingresso (MLIN) della cella successiva nella riga e il terminale d'ingresso di ogni cella (esclusa la prima) è collegato al terminale d'uscita (MLOUT) della cella precedente nella riga. Il terminale d'ingresso (MLIN) della prima cella di ciascuna riga è connesso al terminale di attivazione della ricerca (SF) della riga e il terminale

Dr. Claudio MAGGIONI
N. Iscriz. ALBO 113
(in proprio e per gli altri)



d'uscita (MLOUT) dell'ultima cella di ciascuna riga è connesso al terminale di rivelazione di coincidenza (MPin) della riga.

In ciascuna cella, analogamente al caso del brevetto US 6317349 B1, se si fissa una soglia bassa (es. 1V) per F2 e alta (es. 5,5V) per F1 si memorizza uno 0 logico, mentre le soglie vengono fissate in maniera opposta quando si desidera memorizzare un 1 logico. Se si programmano entrambe le soglie ad un valore basso si memorizza lo stato indifferente X. Pertanto, anche la cella proposta realizza una memoria CAM ternaria.

Per scrivere un bit in una cella CAM come quella della figura 4 già cancellata (transistori F1 e F2 con le soglie basse), anzitutto, una tensione elevata viene applicata alla linea di parola WL (es. da 5V a 8V). Se si pone la tensione della linea di controllo di massa GNDCTRL a valore elevato (es. da 5V a 8V) e si fissa la linea di massa GL al potenziale di massa, in modo da mettere il transistor M2 in condizione di condurre, anche il nodo di coincidenza MG risulta collegato al potenziale di massa. Per memorizzare un 1 logico, una tensione intermedia viene applicata alla linea di bit sinistra BLL lasciando la linea di bit destra BLR non connessa. Pertanto, la soglia del transistor F2 aumenta e la soglia del transistor F1 resta bassa. Per

Dr. Claudio MAGGIONI
N. INVENT. 113
(in proprio e per gli altri)

memorizzare uno 0 logico si agisce in maniera contraria sulle linee di bit per aumentare la soglia del transistor F1. Per memorizzare lo stato X la tensione di soglia dei transistori F1 e F2 resta bassa.

Per la cancellazione di un bit nella cella, il substrato dei transistori F1, F2, comune a tutte le celle, è fissato a tensione elevata (es. 8V), una tensione negativa è applicata alla linea di parola WL (es. da -7V a -9V) e le linee di controllo di massa GNDCTRL e di controllo di coincidenza MLCTRL vengono collegate a massa lasciando le altre linee non connesse. In tal modo vengono rimossi gli elettroni dalla floating-gate di uno dei transistori F1, F2 avente soglia alta, mentre la tensione di soglia dell'altro varia in misura molto minore.

Per descrivere l'operazione di ricerca conviene analizzare, per semplicità, il funzionamento di una cella appartenente alla prima colonna della matrice raffigurata in figura 3 (il funzionamento è analogo per tutte le celle della matrice). In tale cella, inizialmente, il potenziale di massa (V_{GL}) è applicato alla linea di massa GL e una tensione sufficientemente elevata (es. da 5V a 8V) è applicata alla linea di controllo di massa GNDCTRL e alla linea di controllo di coincidenza MLCTRL in modo da accendere i transistori M2 e M1; così il nodo MG e il

Dr. Giulio MAGGIONI
N. scelt. ALEO 113
(in proprio e per gli altri)



terminale d'uscita MLOUT si scaricano assumendo la tensione della linea GL, cioè il potenziale di massa. Inoltre, il blocco 10 applica una tensione V_{SF} (compresa tra 0,5V e la tensione di alimentazione del circuito integrato di cui la memoria fa parte, per esempio da 1,8V a 3V) al terminale di attivazione della ricerca SF della riga in cui si trova la cella: in questo caso particolare, il terminale di attivazione della ricerca SF è collegato col terminale d'ingresso MLIN della cella esaminata. Supponiamo che tale cella memorizzi uno 0 logico (F2 con soglia bassa, F1 con soglia alta). Se il bit da ricercare nella cella è un 1, una tensione V_{SEARCH} (es. da 1,2V a 2V) viene applicata alla linea di bit destra BLR e la linea di bit sinistra BLL viene lasciata non connessa. Ponendo una tensione opportuna superiore alla tensione di soglia bassa dei transistori F1 e F2 (ad esempio 4V) sulla linea di parola WL e applicando il potenziale di massa alle linee GNDCTRL e MLCTRL in modo da spegnere i transistori M2 e M1, nessuno dei transistori F1 e F2 conduce, il nodo di coincidenza MG non viene caricato e il transistor M0 rimane spento; pertanto, la tensione V_{SF} applicata al terminale d'ingresso MLIN non può trasferirsi al terminale d'uscita MLOUT: il bit immagazzinato non corrisponde al bit ricercato che è infatti uno 0. Viceversa, se il bit che

Dr. Claudio MAGGIONI
N. 1033-ALFO 113
(in proprio e per gli altri)

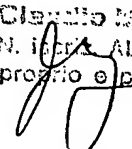
si cerca è uno 0, la stessa tensione V_{SEARCH} viene applicata alla linea di bit sinistra BLL lasciando non connessa la linea di bit destra BLR. In tal caso, il transistor $F1$ continua ad essere spento mentre $F2$ conduce facendo salire la tensione del nodo interno MG fino al valore V_{SEARCH} . Tale tensione provoca l'accensione del transistor $M0$; di conseguenza, il nodo MLIN viene collegato al nodo MLOUT e la tensione V_{SF} viene trasferita: il bit immagazzinato corrisponde al bit ricercato ed è uno 0.

Con riferimento alla matrice di celle rappresentata in figura 3, durante la ricerca di una parola binaria immagazzinata in un registro contenuto nel blocco 12, il blocco 11 applica la tensione V_{SEARCH} , ricevuta da un regolatore (non rappresentato), ad una delle linee di bit di ciascuna delle n coppie (lasciando l'altra linea di bit non connessa), mentre il blocco 10 fissa le tensioni sulle linee di parola $WL1-m$, di massa $GL1-m$, di controllo di massa $GNDCTRL1-m$ e di controllo di coincidenza $MLCTRL1-m$ di ciascuna delle m righe. Il blocco 10 applica anche la tensione V_{SF} sui terminali di attivazione della ricerca $SF1-m$ delle m righe. E' importante sottolineare che le tensioni finora considerate sono, in realtà, impulsi di tensione, di durata prefissata, applicati alle linee elettriche della matrice di celle, sia sulle righe

che sulle colonne, in istanti di tempo prefissati da un apposito segnale di orologio (clock). In particolare, la tensione V_{SF} applicata ai terminali di attivazione della ricerca SF1-m è un impulso di tensione. In caso di coincidenza tra la parola memorizzata in una riga e la parola ricercata tale impulso si trasferisce dalla prima all'ultima cella della riga, cioè dal terminale di attivazione della ricerca al terminale di rivelazione di coincidenza, dove viene rivelato da un amplificatore di rivelazione. Tuttavia, la serie dei transistori M0 di ogni riga, oltre a ridurre l'ampiezza dell'impulso ne modifica il fronte di salita riducendone la pendenza. In caso di un numero particolarmente elevato di celle per ogni riga l'effetto sopracitato può diventare gravoso e il fronte di salita si appiattisce fino al punto da non poter essere rivelato con sicurezza dall'amplificatore di rivelazione. In tal caso, in certe applicazioni può essere conveniente introdurre uno o più rigeneratori (buffers), ad intervalli regolari, nel collegamento in serie dei transistori M0 della stessa riga per ripristinare la pendenza del fronte di salita dell'impulso.

La mancata coincidenza anche di un solo bit tra la parola memorizzata in una riga e la parola ricercata impedisce il trasferimento della tensione V_{SF} e pertanto

Dr. Clelio MACCIONI
N. 1000 ALEO 113
(In proprio e per gli altri)



l'amplificatore non rivela variazioni di tensione. Se lo stato memorizzato in una cella di una riga è lo stato indifferente X, i due transistori F1 e F2 della cella conducono, la tensione V_{SF} si trasferisce e si realizza sempre la coincidenza. Alla fine di ogni operazione di ricerca la tensione sul nodo MG e sul terminale d'uscita MLOUT viene scaricata riaccendendo i transistori M2 ed M1.

Nella precedente descrizione della memoria si è evidenziato che i transistori M0 appartenenti a celle che si trovano in una stessa riga della matrice sono collegati in serie tra loro. Considerando sia tale disposizione circuitale che il funzionamento delle celle durante la ricerca, ciascuna riga della matrice realizza, durante la ricerca, la funzione logica di una porta AND avente come ingressi gli n nodi MG e come uscita il terminale di rivelazione di coincidenza MPin. Infatti, se le tensioni che possono essere assunte dal nodo MG di ciascuna cella, cioè la tensione V_{SEARCH} (se c'è coincidenza) e il potenziale di massa (se non c'è coincidenza), si interpretano, rispettivamente, come 1 logico e 0 logico e gli stati di variazione di tensione e di non variazione di tensione del terminale MPin si interpretano, rispettivamente, come 1 logico e 0 logico, sull'uscita della porta si ha un 1 logico solo quando



tutti gli ingressi sono a 1, secondo la logica di una porta AND. Per tale motivo la memoria può essere denominata CAM di tipo AND.

Durante la ricerca, il nodo di coincidenza MG di ogni singola cella non è collegato ai nodi coincidenza MG delle celle poste su colonne diverse, ma è connesso, attraverso le linee di bit BLR e BLL, soltanto ai nodi di coincidenza MG di eventuali celle in stato di coincidenza appartenenti alla stessa colonna.

E' facile constatare che la presente invenzione presenta numerosi vantaggi rispetto all'arte nota. In particolare, nel caso sfavorevole in cui c'è coincidenza in tutte le celle di una colonna della matrice di figura 3 che è equivalente al caso considerato nel brevetto US 6317349 B1, in cui, però, tutte le celle di una colonna sono nella condizione di non coincidenza, le correnti sulle linee di bit caricano solo i nodi MG delle celle sulla stessa colonna, quindi caricano una capacità complessiva di valore molto inferiore a quello delle capacità che devono essere scaricate, a parità di condizioni, nel caso della memoria nota della figura 2, cioè delle capacità associate a tutte le linee di coincidenza della matrice.

Secondo l'invenzione, i terminali di source dei transistori F1 e F2 di ogni cella (coincidenti con il

Dr. Claudio MAGGIONI
N. 13022/4120/113
(in proprio e per gli altri)

nodo MG) non sono direttamente connessi alla linea di coincidenza, cioè alla linea che collega in serie i transistori M0 e che corrisponde alla linea di coincidenza ML della cella di figura 1. Se in una riga è memorizzato un 1 o uno 0 logico (tutte le celle con almeno uno tra F1 e F2 con soglia alta) non possono essere prodotte correnti parassite. Tali correnti sono potenzialmente generate soltanto nelle righe il cui contenuto è cancellato (F1 e F2 con soglia bassa), ma possono essere eliminate portando le corrispondenti linee di parola ad una tensione bassa (ad esempio da massa a $-2V$). In ogni caso le correnti parassite caricano al massimo il nodo MG e non la rispettiva linea di coincidenza. Pertanto, le errate valutazioni della non coincidenza sono evitate, la ricerca è più veloce e non è necessario controllare accuratamente la soglia bassa di F1, F2 semplificando l'algoritmo di cancellazione.

Per quanto sia stata illustrata e descritta una sola forma d'esecuzione della presente invenzione è chiaro che numerose varianti e modifiche sono possibili nell'ambito dello stesso concetto inventivo. Per esempio, si può progettare il blocco 11 in modo che, durante la ricerca, le linee di bit di ogni colonna siano polarizzate una alla tensione V_{SEARCH} e l'altra al potenziale di massa, anziché una alla tensione V_{SEARCH} e l'altra a nessuna

Dr. Claudio MAGGIONI
N. Iscriz. MBO 113
(in proprio e per gli altri)

tensione (perché lasciata non connessa, o connessa ad un terminale ad alta impedenza). In tal modo, si evita di adoperare, per polarizzare ogni coppia di linee di bit, un dispositivo a tre stati che, altrimenti è necessario per avere uno stato ad alta impedenza. Inoltre, il valore di tensione iniziale del nodo MG può essere fissato non a massa, ma ad una tensione positiva (es. 1,8V). In tal caso, la tensione V_{SEARCH} (che carica tale nodo se c'è coincidenza) deve essere più elevata, ma si ottiene il vantaggio di ridurre l'escursione di tensione del nodo MG e le relative dissipazioni. Infine, la tensione del terminale d'uscita MLOUT di ogni cella può essere fissata, all'inizio della ricerca, ad un valore di precarica di 1,8V (piuttosto che a massa). In tal caso, la tensione V_{SF} di ampiezza negativa viene applicata al terminale di attivazione della ricerca per pilotare correttamente il transistor M_0 e, questa volta, si trasferisce un impulso con fronte discendente.

Dr. Claudio MAGGIONI
N. 10012 ALDO 113
(in proprio e per gli altri)



Rivendicazioni

1. Memoria di tipo CAM non volatile comprendente

- una molteplicità di celle di memoria ordinate in una matrice per righe e per colonne,

- una linea di parola (WL) associata ad ogni riga di celle,

- una prima (BLR) e una seconda (BLL) linea di bit associate ad ogni colonna di celle,

ogni cella comprendendo

- un primo elemento di memoria non volatile (F1) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla prima linea di bit (BLR) associata alla colonna contenente la cella e un secondo terminale collegato ad un nodo di coincidenza (MG) della cella,

- un secondo elemento di memoria non volatile (F2) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla seconda linea di bit (BLL) associata alla colonna contenente la cella e un secondo terminale collegato al nodo di coincidenza (MG) della cella

caratterizzata dal fatto che comprende inoltre

- un terminale d'ingresso (MLIN) e un terminale

Dr. *Claudio MAGGIORI*
N. Iscriz. ALBO 113
(in proprio e per gli altri)



d'uscita (MLOUT),

- una linea di controllo di massa (GNDCTRL), una linea di massa (GL) ed una linea di controllo di coincidenza (MLCTRL) associate ad ogni riga di celle e

- un terminale di attivazione della ricerca (SF) e un terminale di rivelazione di coincidenza (MPin) associati ad ogni riga di celle

e dal fatto che ogni cella comprende, inoltre,

- un primo interruttore elettronico comandato (M0) collegato tra il terminale d'ingresso (MLIN) e il terminale d'uscita (MLOUT) della cella e avente un terminale di comando collegato al nodo di coincidenza (MG) della cella, essendo gli interruttori elettronici comandati (M0) di celle della stessa riga collegati, in serie tra loro, tra i terminali di attivazione della ricerca (SF) e di rivelazione di coincidenza (MPin) associati alla riga,

- un secondo interruttore elettronico comandato (M1) collegato tra la linea di massa (GL) associata alla riga contenente la cella e il terminale d'uscita (MLOUT) della cella e avente un terminale di comando collegato alla linea di controllo di coincidenza (MLCTRL) associata alla riga contenente la cella e

- un terzo interruttore elettronico comandato (M2) collegato tra il nodo di coincidenza (MG) della cella e

Dr. Claudio MAGGIONI
N. Iscr. ALBO 113
(in proprio e per gli altri)

la linea di massa (GL) associata alla riga contenente la cella e avente un terminale di comando collegato alla linea di controllo di massa (GNDCTRL) associata alla riga contenente la cella.

2. Memoria di tipo CAM secondo la rivendicazione 1, in cui il primo (F1) e il secondo (F2) elemento di memoria non volatile di ciascuna cella sono transistori di tipo floating-gate in cui il primo terminale è il drain e il secondo è il source e il primo (M0), il secondo (M1) e il terzo (M2) interruttore elettronico comandato di ciascuna cella sono transistori MOS.

3. Memoria di tipo CAM secondo le rivendicazioni 1 o 2, in cui ogni riga di celle comprende, tra il terminale di attivazione della ricerca (SF) e il terminale di rivelazione di coincidenza (MPin), almeno un rigeneratore.

4. Memoria di tipo CAM secondo le rivendicazioni da 1 a 3, in ciascuna cella della quale

- se il primo elemento di memoria non volatile (F1) ha una tensione di soglia bassa e il secondo elemento di memoria non volatile (F2) ha una tensione di soglia alta è memorizzato un 1 logico,

- se il primo elemento di memoria non volatile (F1) ha una tensione di soglia alta e il secondo elemento di memoria non volatile (F2) ha una tensione di soglia bassa

Dr. Claudio MAGGIORI
N. INVENT. ALBO 119
(In proprio e per gli altri)

è memorizzato uno zero logico e

- se gli elementi di memoria non volatile (F1,F2) hanno entrambi tensione di soglia bassa è memorizzato uno stato indifferente X.

5. Metodo per eseguire la ricerca di una parola binaria immagazzinata in una memoria di tipo CAM secondo le rivendicazioni da 1 a 4, comprendente le seguenti operazioni:

- associare ad ogni colonna della matrice un elemento di un registro di comparazione,

- inserire la parola da cercare nel registro di comparazione,

- confrontare, bit per bit, il contenuto del registro di comparazione col contenuto di ogni riga eseguendo, per ogni riga, le seguenti operazioni:

- applicare alla linea di massa (GL) una prima tensione prefissata,

- applicare alla linea di parola (WL) una seconda tensione prefissata,

- applicare alla linea di controllo di massa (GNDCTRL) una terza tensione prefissata sufficiente a chiudere l'interruttore elettronico M2 e a scaricare i nodi di coincidenza (MG) delle celle della riga e applicare subito dopo alla stessa linea di controllo di massa (GNDCTRL) la prima tensione prefissata,



Dr. Claudio MAGGIONI
N. 1012/113
(in proprio e per gli altri)

- applicare alla linea di controllo di coincidenza (MLCTRL) una quarta tensione prefissata sufficiente a chiudere l'interruttore elettronico M1 e a scaricare i terminali di uscita (MLOUT) delle celle della riga e applicare subito dopo alla stessa linea di controllo di coincidenza (MLCTRL) la prima tensione prefissata,

- applicare al terminale di attivazione della ricerca (SF) una quinta tensione prefissata (V_{SF}),

- polarizzare successivamente le linee di bit di ogni colonna applicando una prefissata tensione di ricerca (V_{SEARCH}) alla prima o alla seconda linea di bit, secondo che il bit rispettivo del registro di comparazione sia in un primo o in un secondo stato logico,

- sorvegliare la tensione del terminale di rivelazione di coincidenza (MPin) e

- generare un segnale di coincidenza se la tensione del terminale di rivelazione di coincidenza (MPin) varia o un segnale di non coincidenza se la tensione del terminale di rivelazione di coincidenza (MPin) non varia.

6. Metodo secondo la rivendicazione 5, in cui, nell'operazione di polarizzare successivamente le linee di bit, la linea di bit alla quale non è applicata la prefissata tensione di ricerca (V_{SEARCH}) viene lasciata non



connessa.

7. Metodo secondo la rivendicazione 5, in cui, nell'operazione di polarizzare successivamente le linee di bit, alla linea di bit alla quale non è applicata la prefissata tensione di ricerca (V_{SEARCH}) viene applicata una tensione di riferimento.

8. Metodo secondo una qualunque delle rivendicazioni da 5 a 7, in cui

- la prima tensione prefissata applicata alla linea di massa (GL) è di circa 0V,

- la seconda tensione prefissata applicata alla linea di parola (WL) è di circa 4V,

- la terza tensione prefissata applicata alla linea di controllo di massa (GNDCTRL) è compresa tra 5V e 8V,

- la quarta tensione prefissata applicata alla linea di controllo di coincidenza (MLCTRL) è compresa tra 5V e 8V,

- la quinta tensione prefissata applicata al terminale di attivazione di ricerca (SF) è compresa tra 0,5V e 3V,

- la prefissata tensione di ricerca (V_{SEARCH}) è compresa tra 1,2V e 2V.

9. Metodo secondo una qualunque delle rivendicazioni da 5 a 7, in cui

- la prima tensione prefissata applicata alla linea

Dr. Claudio MAGGIONI
N. 17012 ALBO 113
(in proprio e per gli altri)

di massa (GL) è di circa 1,8V,

- la seconda tensione prefissata applicata alla linea di parola (WL) è di circa 4V,

- la terza tensione prefissata applicata alla linea di controllo di massa (GNDCTRL) è compresa tra 5V e 8V,

- la quarta tensione prefissata applicata alla linea di controllo di coincidenza (MLCTRL) è compresa tra 5V e 8V,

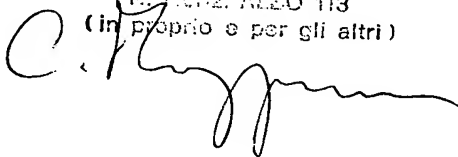
- la quinta tensione prefissata applicata al terminale di attivazione della ricerca (SF) è compresa tra 0V e una tensione negativa,

- la prefissata tensione di ricerca (V_{SEARCH}) è superiore alla tensione applicata alla linea di massa (GL).

Dr. Claudio MAGGIONI

N. Horiz. ALEO 113

(in proprio e per gli altri)



RM 2002 A 000493

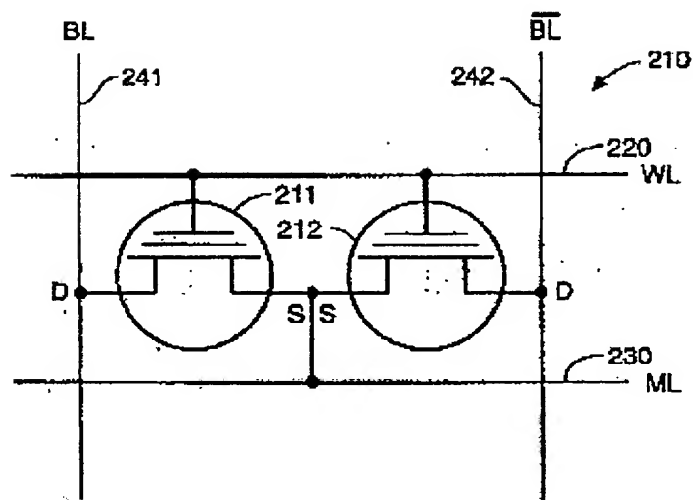


FIG.1

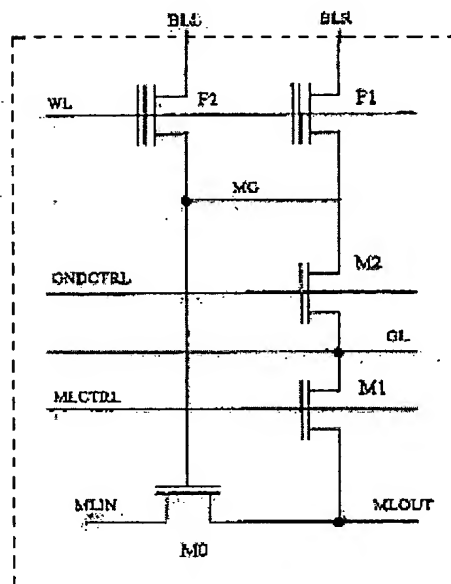
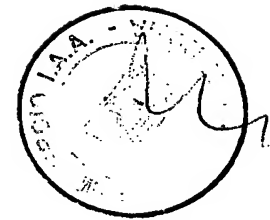


FIG.4



Dr. Claudio MAGGIONI

N. Iscriz. ALBO 113

(in proprio e per gli altri)

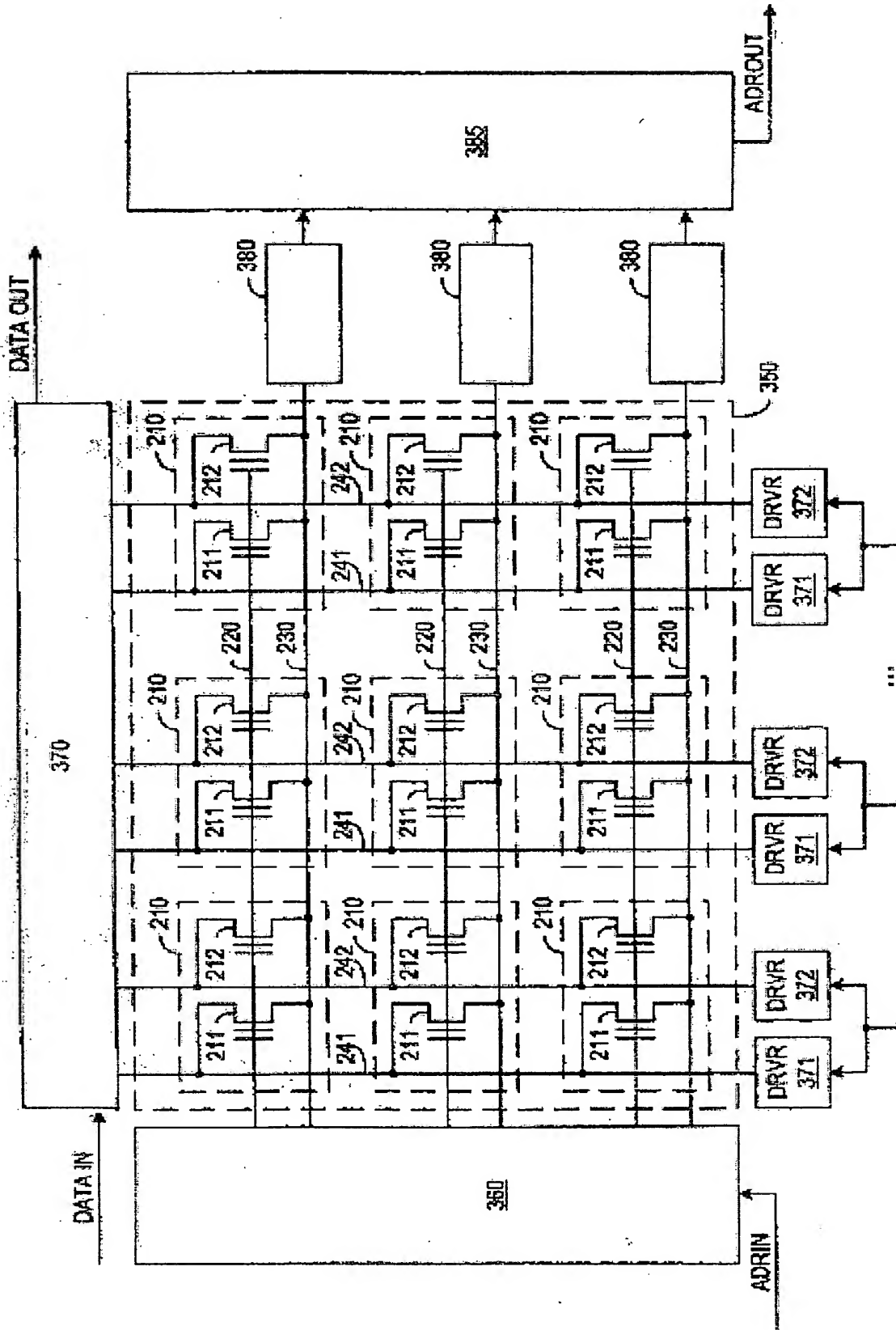
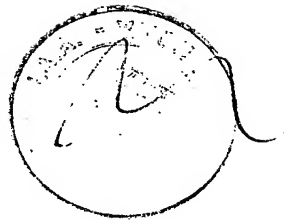


FIG.2

Dr. Claudio MAGGIONI
N. Iscr. ALBO 113
(in proprio e per gli altri)

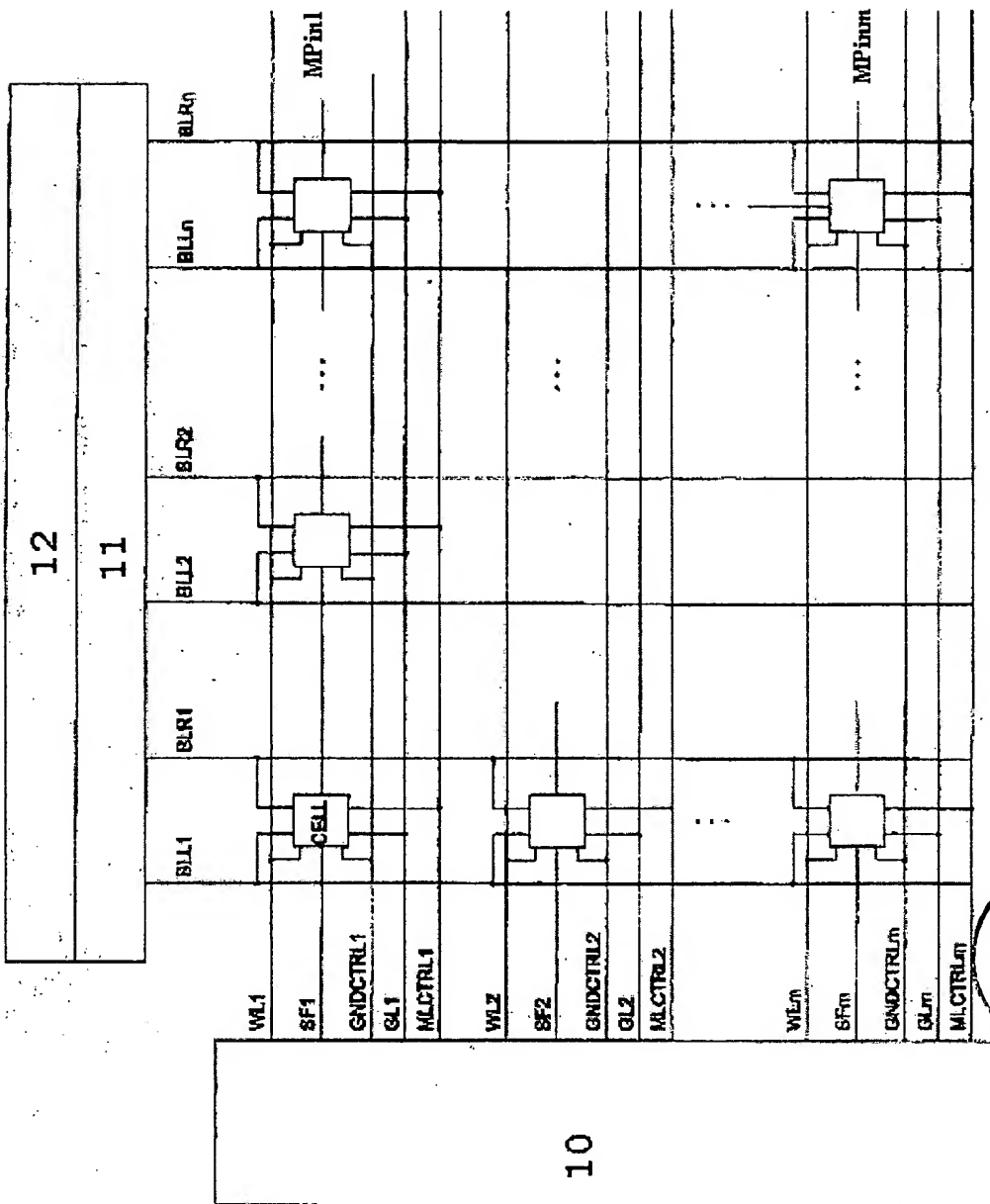


RM 2002 A 000493

Dr. CLAUDIO MAGGIORI
N. 15077 / ALEO 113
(in proprio del 15/11/11)



FIG.3



AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

A. RICHIEDENTE (I)

1) Denominazione: STMicroelectronics S.r.l.Residenza: AGRATE BRIANZA (Milano)codice: 00951900968

2) Denominazione: _____

Residenza: _____

codice: _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome: MAGGIONI Claudio ed altri

cod. fiscale: _____

denominazione studio di appartenenza: JACOBACCI & PARTNERS S.p.A.via: delle Quattro Fontanen. 15città: ROMAcap: 00184(prov): RM

C. DOMICILIO ELETTIVO destinatario

via: _____

n. _____

città: _____

cap: _____

(prov): _____

D. TITOLO

classe proposta (sez/cl/sci): _____

gruppo/sottogruppo: _____

Memoria CAM non volatile di tipo AND.

A. ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA: ____/____/____

N° PROTOCOLLO: _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) DE SANDRE Guido

3) _____

2) _____

4) _____

F. PRIORITÀ

nazione o organizzazione: _____

tipo di priorità: _____

numero di domanda: _____

data di deposito: ____/____/____

allegato
S/R

SCIoglimento RISERVE

Data: ____/____/____

N° Protocollo: _____

1) _____

2) _____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione: _____

H. ANNOTAZIONI SPECIALI

Seguirà lettera d'incarico.

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 30

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

Doc. 2) 1 PROV n. tav. 03

disegno (obbligatorio se citato in descrizione, 1 esemplare)

Doc. 3) 1 RIS

dichiarazione sostitutiva

Doc. 4) 1 RIS

designazione inventore

Doc. 5) 1 RIS

documenti di priorità con traduzione in italiano

Doc. 6) 1 RIS

autorizzazione o atto di cessione

Doc. 7) 1

nominativo completo del richiedente

8) attestati di versamento, totale EURO duecentonovantuno/80

obbligatorio

COMPILATO IL 02 10 2002

FIRMA DEL (I) RICHIEDENTE (I)

CONTINUA SINO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO SI

(in proprio e per gli altri)

Camera di Commercio Industria Artigianato e Agricoltura Roma

codice 158

VERBALE DI DEPOSITO NUMERO DI DOMANDA

RM 2002 A 000493

l'anno

DUEMILADUE

il giorno

DUE

del mese di

OTTOBRE(I) richiedente (I) sopraindicato (I) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraindicato.

ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

L'UFFICIO ROGANTE
Antonio Salerno

14 NOV. 2002

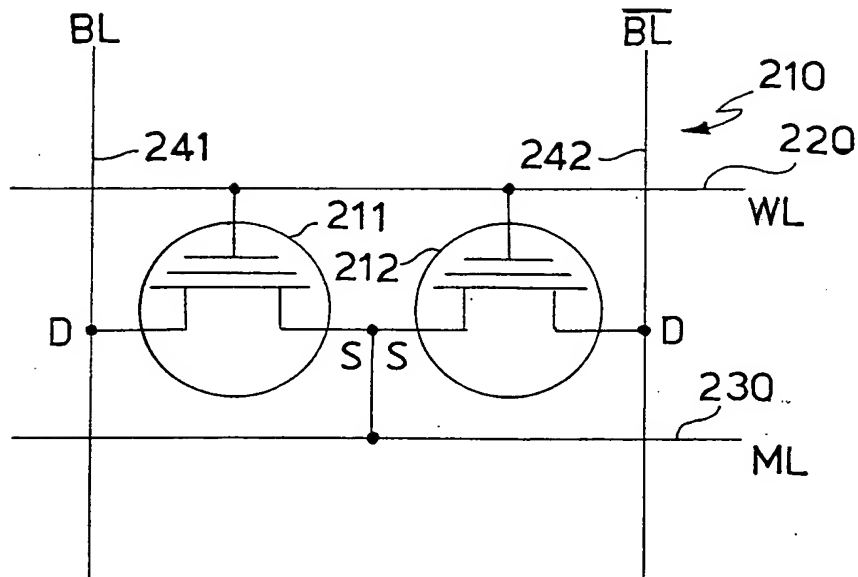


FIG. 1

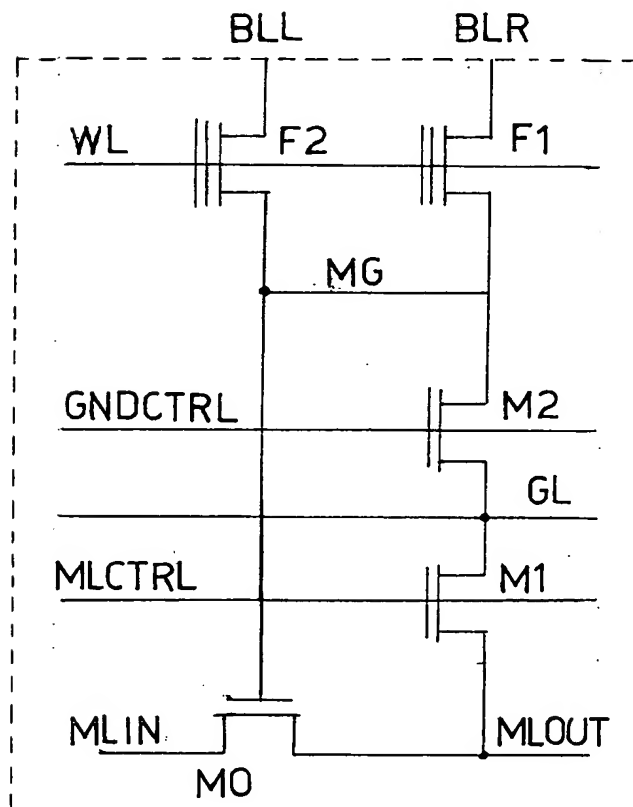
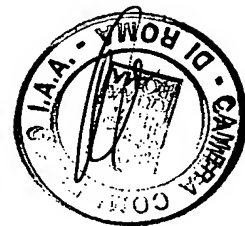


FIG.4



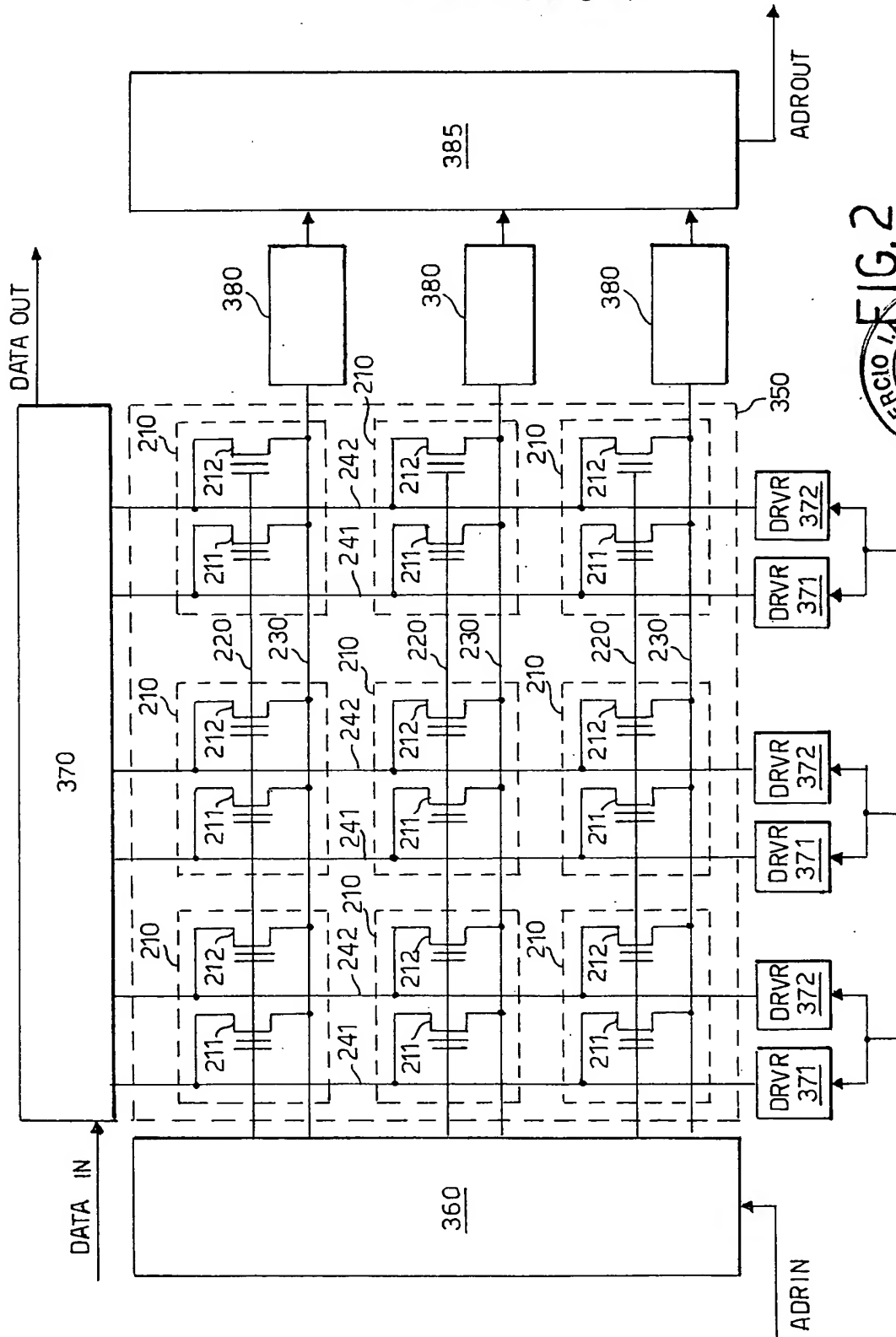
Dr. Claudio MAGGIONI

N. iscriz. ALEO 113

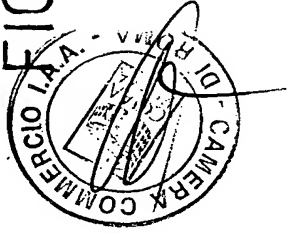
(In proprio e per gli altri)

(1) proprio e per gli altri)

Dr. Claudio Macdoni
N. iscriz. ALEO 113
(in proprio e per gli altri)



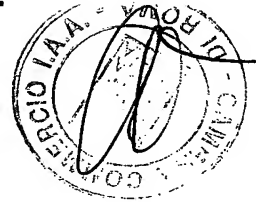
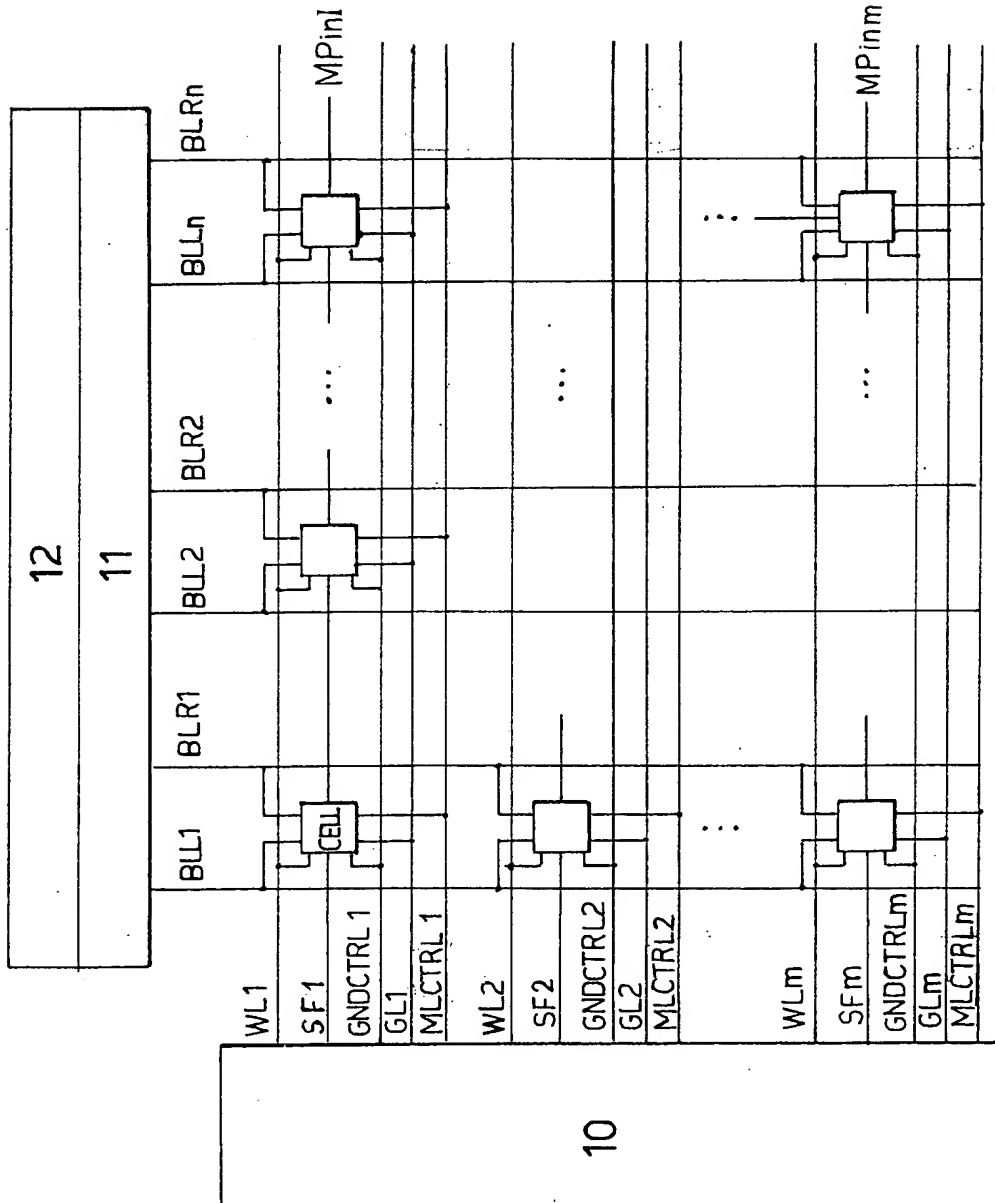
4/16/2



14 NOV. 2002

RMR0930

FIG.3



Dr. Claudio MAGGIONI
N. Iscritt. ALEO 113
Un proprio e per gli altri